

POWERED BY Dialog

CMOS IMAGE SENSOR

Publication Number: 2003-234959 (JP 2003234959 A) , August 22, 2003

Inventors:

- KOKUBU MASATOSHI
- TSUCHIYA CHIKARA

Applicants

- FUJITSU LTD

Application Number: 2002-029633 (JP 200229633) , February 06, 2002

International Class:

- H04N-005/335
- H01L-027/146

Abstract:

PROBLEM TO BE SOLVED: To reduce the kTC noise over a wide range in a CMOS image sensor.

SOLUTION: A pixel circuit 10a for one pixel is composed of a photoelectric converter element D11 for photoelectric-converting incident lights, a reset transistor M11 for resetting a cathode electrode of the converter element D11 to an initial voltage, an amplifying transistor M12 for converting charges stored in the converter element D11 to a voltage, and a row selecting transistor M13 for selecting an output signal from pixel regions parallel in the row direction. A voltage control circuit 20a controls the gate potential of the reset transistor M11 to change its on-resistance with the converter element D11 reset. This controls a cut off frequency of a low-pass filter composed of the on-resistance of the reset transistor M11 and a parasitic capacitance on the cathode of the converter element D11 in the pixel circuit 10a.

COPYRIGHT: (C)2003,JPO

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 7741057

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-234959

(P2003-234959A)

(43) 公開日 平成15年8月22日 (2003.8.22)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L 27/146		H 0 1 L 27/14	A

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願2002-29633 (P2002-29633)

(22) 出願日 平成14年2月6日 (2002.2.6)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 國分 政利

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 土屋 主税

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100092152

弁理士 服部 毅麿

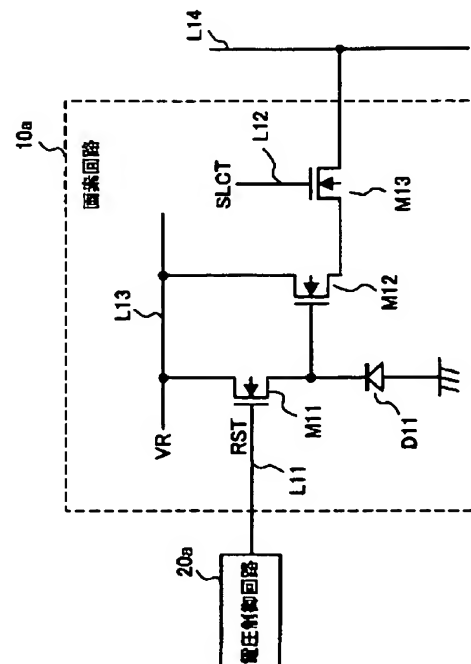
最終頁に続く

(54) 【発明の名称】 CMOSイメージセンサ

(57) 【要約】

【課題】 CMOSイメージセンサにおいて、広帯域にわたってkTC雑音を低減する。

【解決手段】 1画素分の画素回路10aは、入射光を光電変換する光電変換素子D11と、光電変換素子D11のカソード電極を初期電圧にリセットするリセットトランジスタM11と、光電変換素子D11に蓄積された電荷を電圧に変換する増幅用トランジスタM12と、行方向に並列された画素領域からの信号出力を選択するための行選択トランジスタM13によって構成される。電圧制御回路20aは、光電変換素子D11のリセット期間中に、リセットトランジスタM11のゲート電位を制御して、リセットトランジスタM11の有するオン抵抗を変化させる。これにより、画素回路10aの内部において、リセットトランジスタM11のオン抵抗と光電変換素子D11のカソードに生じる寄生容量とにより構成されるローパスフィルタのカットオフ周波数が制御される。



【特許請求の範囲】

【請求項 1】 マトリクス状に配置された各画素領域において感知された画像信号を X-Y アドレスの指定に基づいて順に出力することにより画像を撮像する CMOS イメージセンサにおいて、

入射光を光電変換する光電変換素子と、前記光電変換素子のカソード電極を初期電圧にリセットするリセットトランジスタと、前記光電変換素子に蓄積された電荷を電圧に変換する増幅用トランジスタと、行方向に並列された前記画素領域からの信号出力を選択するための行選択信号に基づいて、前記増幅用トランジスタの出力電圧を 1 画素分の画像信号として出力する行選択トランジスタとを具備する画素回路と、

前記光電変換素子に対するリセット期間中に、前記リセットトランジスタのゲート電位を制御して、前記リセットトランジスタのオン抵抗と前記光電変換素子のカソードに生じる寄生容量とで構成されるローパスフィルタのカットオフ周波数を制御する電圧制御回路と、を有することを特徴とする CMOS イメージセンサ。

【請求項 2】 前記電圧制御回路は、前記リセット期間中において、前記リセットトランジスタの前記ゲート電位を電源電位に設定して前記光電変換素子のカソード電極を前記初期電圧にリセットした後、前記ゲート電位を前記カットオフ周波数を制御するための周波数制御電位に設定することを特徴とする請求項 1 記載の CMOS イメージセンサ。

【請求項 3】 前記電圧制御回路は、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタを具備して前記リセットトランジスタのゲート電極を駆動するインバータ回路と、前記PチャネルMOSトランジスタのドレイン電極と、前記NチャネルMOSトランジスタのドレイン電極との間に設けられるブルーミング制御用トランジスタと、を有することを特徴とする請求項 1 記載の CMOS イメージセンサ。

【請求項 4】 前記ブルーミング制御用トランジスタは、ゲート電極とドレイン電極とが前記リセットトランジスタのゲート電極と接続された MOS トランジスタであることを特徴とする請求項 3 記載の CMOS イメージセンサ。

【請求項 5】 前記カットオフ周波数の制御時において、前記ブルーミング制御用トランジスタのドレイン電極に接続された前記PチャネルMOSトランジスタまたは前記NチャネルMOSトランジスタがオン状態とされ、前記ブルーミング制御用トランジスタのソース電極に接続された前記NチャネルMOSトランジスタまたは前記PチャネルMOSトランジスタがオフ状態とされるとともに、前記ブルーミング制御用トランジスタのソース電極に前記初期電圧が供給されることを特徴とする請求項 4 記載の CMOS イメージセンサ。

【請求項 6】 前記電圧制御回路は、前記リセットトランジスタの有するしきい値電圧と、前記ブルーミング制御用トランジスタの有するしきい値電圧との比に応じて、前記カットオフ周波数の制御時における前記リセットトランジスタのゲート電位を設定することを特徴とする請求項 4 記載の CMOS イメージセンサ。

【請求項 7】 前記リセット期間の開始時またはその直前から、終了時までの間、前記増幅用トランジスタおよび前記行選択トランジスタを回路構成の一部として用いることにより動作する差動増幅器をさらに有することを特徴とする請求項 1 記載の CMOS イメージセンサ。

【請求項 8】 前記電圧制御回路は、前記カットオフ周波数が、前記差動増幅器の動作する周波数帯域の上限値以下となるように、前記リセットトランジスタのゲート電位を制御することを特徴とする請求項 7 記載の CMOS イメージセンサ。

【請求項 9】 前記差動増幅器は、前記差動増幅器の動作期間中において前記初期電圧が供給される第 1 の差動トランジスタを具備し、

前記増幅用トランジスタは、前記動作期間中において、前記第 1 の差動トランジスタと対をなす第 2 の差動トランジスタとして用いられることを特徴とする請求項 7 記載の CMOS イメージセンサ。

【請求項 10】 前記差動増幅器の動作時において、前記差動増幅器に対するバイアス電流を増加させるバイアス制御回路をさらに有することを特徴とする請求項 7 記載の CMOS イメージセンサ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、マトリクス状に配置された各画素領域において感知された画像信号を X-Y アドレスの指定に基づいて順に出力することにより画像を撮像する CMOS イメージセンサに関し、特に、kTC 雑音を低減することが可能な CMOS イメージセンサに関する。

【0002】

【従来の技術】近年、デジタルスチルカメラやデジタルビデオカメラの普及や、携帯電話へのカメラ機能の搭載等に伴い、固体撮像素子に対する需要が高まっている。現在、固体撮像素子としては CCD (Charge Coupled Device) が最も広く普及しているが、この CCD は、複数の電源回路が必要とされ、駆動電圧が高く、消費電力が大きいという欠点を有している。このため、最近では、低電圧動作が可能で、消費電力が少なく、かつ工程単価が低廉である CMOS (Complementary Metal-Oxide Semiconductor) プロセスにより製造が可能な CMOS イメージセンサに対する注目が高まっている。

【0003】 CMOS イメージセンサは、1 画素分の画像を撮像する画素回路をマトリクス状に配置し、垂直走査シフトレジスタおよび水平走査シフトレジスタによっ

て各画素回路の出力を順に選択することにより、1枚分の画像信号を出力する。

【0004】図9は、従来のCMOSイメージセンサにおける単一の画素回路とその周辺の回路構成例を示す図である。図9に示す画素回路50は、フォトダイオードまたはフォトゲート等によってなる光電変換素子D51を具備し、また、例えばNチャネルMOSFET (MOS Field-Effect Transistor) によりそれぞれ形成されるリセットトランジスタM51、増幅用トランジスタM52、および行選択トランジスタM53が配置されたAPS (Active Pixel Sensor) 構成を有している。さらに、リセットトランジスタM51のゲート電極には、PチャネルMOSトランジスタ (以下、PMOSTランジスタと略称する) M61およびNチャネルMOSトランジスタ (以下、NMOSTランジスタと略称する) M62によって構成されるインバータ回路60が接続されている。

【0005】光電変換素子D51のアノード側は接地され、カソード側はリセットトランジスタM51のソース電極、および増幅用トランジスタM52のゲート電極に接続されている。また、リセットトランジスタM51のドレイン電極と、増幅用トランジスタM52のドレイン電極は、リセット電圧VRが供給される電源供給線L53に接続されている。さらに、リセットトランジスタM51のゲート電極は、リセット信号線L51を介してインバータ回路60の出力電極に接続され、リセット信号RSTの供給を受ける。

【0006】増幅用トランジスタM52のソース電極は、行選択トランジスタM53のドレイン電極に接続されている。行選択トランジスタM53のゲート電極は、列方向の画素回路50を選択するための行選択信号SLCTが供給される行選択信号線L52に接続されている。また、ソース電極は、列方向の画素回路50を選択するための列選択信号線L54に接続されている。

【0007】インバータ回路60では、PMOSTランジスタM61のソース電極には電源電圧VDDが供給され、NMOSTランジスタM62のソース電極は接地されている。PMOSTランジスタM61およびNMOSTランジスタM62の各ゲート電極にはリセット制御信号Vrstが入力され、また各ドレイン電極はリセット信号線L51に接続されて、リセット信号RSTを出力する。

【0008】次に、この従来の画素回路50における動作を簡単に説明する。インバータ回路60にローレベルのリセット制御信号Vrstが入力されると、PMOSTランジスタM61がオン状態、NMOSTランジスタM62がオフ状態となり、リセットトランジスタM51のゲート電極にハイレベルのリセット信号RSTが入力される。これによりリセットトランジスタM51がオン状態になると、光電変換素子D51がリセット電圧VR

により充電される。

【0009】次いで、リセット制御信号Vrstがハイレベルとなるのに伴い、リセット信号RSTがローレベルとなる。この状態で、光の入射に伴って光電変換素子D51の放電が始まり、リセット電圧VRから電位が低下する。増幅用トランジスタM52はソースフォロアアンプとして機能し、光電変換素子D51のカソード電圧を増幅する。所定時間の経過後に行選択信号SLCTが行選択トランジスタM53のゲート電極に入力され、この行選択トランジスタM53がオンになると、増幅用トランジスタM52のソース電圧が信号電圧として列選択信号線L54を介して取り出される。

【0010】列選択信号線L54は、例えば、アンプ/ノイズキャンセル回路を介して列選択トランジスタ (ともに図示せず) のドレイン電極に接続されている。CMOSイメージセンサでは、行選択信号SLCTにより水平方向に並列された各画素回路50が選択され、さらに各列選択信号線L54に接続された列選択トランジスタが順にオンにされることにより、1画素分の画像信号が順次出力される。

【0011】

【発明が解決しようとする課題】ところで、上記の構成の画素回路50では、光電変換素子D51に対するリセット時に生じるkTC雑音により、出力された画像信号のS/N比が劣化するという問題があった。kTC雑音は、リセットトランジスタM51がオン状態となり、光電変換素子D51が初期電位にリセットされた状態において発生し、 $\sqrt{kTC} = (kT/C)^{1/2}$ で表されるランダムな熱雑音である。ここで、kはボルツマン定数、Tは絶対温度、Cは光電変換素子D51の全容量である。

【0012】このkTC雑音は、ランダムに発生するために、画像信号から除去することが比較的困難である。特に、高周波のkTC雑音は除去できないことが多い。例えば、差動増幅器を用いてリセット時における光電変換素子D51のカソード電圧を一定に保持することにより、kTC雑音を低減することが提案されている。しかしこの場合、差動増幅器が動作する周波数帯域内のkTC雑音成分については低減することができるが、それより高周波のkTC雑音成分については低減することができない。

【0013】また、kTC雑音を低減するための回路は比較的大きな回路構成となることが多い。このような回路では、構成要素となる素子や配線が画素領域に形成されると、受光部の開口率 (フィルファクタ) が低下してしまうことも問題となる。

【0014】本発明はこのような課題に鑑みてなされたものであり、広帯域のkTC雑音を低減することが可能なCMOSイメージセンサを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明では上記課題を解決するために、図1に示すように、マトリクス状に配置された各画素領域において感知された画像信号をX-Yアドレスの指定に基づいて順に出力することにより画像を撮像するCMOSイメージセンサにおいて、入射光を光電変換する光電変換素子D11と、前記光電変換素子D11のカソード電極を初期電圧にリセットするリセットトランジスタM11と、前記光電変換素子D11に蓄積された電荷を電圧に変換する増幅用トランジスタM12と、行方向に並列された前記画素領域からの信号出力を選択するための行選択信号に基づいて、前記増幅用トランジスタM12の出力電圧を1画素分の画像信号として出力する行選択トランジスタM13とを具備する画素回路10aと、前記光電変換素子D11に対するリセット期間中に、前記リセットトランジスタM11のゲート電位を制御して、前記リセットトランジスタM11のオン抵抗と前記光電変換素子D11のカソードに生じる寄生容量とで構成されるローパスフィルタのカットオフ周波数を制御する電圧制御回路20aとを有することを特徴とするCMOSイメージセンサが提供される。

【0016】このようなCMOSイメージセンサでは、リセットトランジスタM11がオン状態となることにより、光電変換素子D11のカソード電極の電位が初期電圧とされ、光電変換素子D11に蓄積された電荷がリセットされる。電圧制御回路20aは、光電変換素子D11のリセット期間中に、リセットトランジスタM11のゲート電位を制御して、リセットトランジスタM11の有するオン抵抗を変化させる。これにより、画素回路10aの内部において、リセットトランジスタM11のオン抵抗と光電変換素子D11のカソードに生じる寄生容量とにより構成されるローパスフィルタのカットオフ周波数が制御される。従って、画素回路10aから出力される画像信号から、任意の周波数以上のkTC雑音の成分が低減される。

【0017】また、例えば、増幅用トランジスタM12と行選択トランジスタM13を回路構成の一部として用いることにより動作する差動増幅器をさらに設けてもよい。この差動増幅器は、リセット期間の開始時またはその直前から、終了時までの間のみ動作して、所定の周波数以下のkTC雑音の成分を低減する。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図2は、本発明のCMOSイメージセンサの全体構成を示す図である。

【0019】図2に示すように、本発明のCMOSイメージセンサ1の全体構成は、画素回路10aがマトリクス状に配置された画素部10と、垂直方向の画素回路10aの指定やリセット信号の電圧制御を行うための垂直走査シフトレジスタ/電圧制御回路20と、各列の画素

回路10aから出力される画像信号の増幅およびノイズ低減処理を行うアンプ/ノイズキャンセル回路30と、列選択トランジスタM41によって水平方向の画素回路10aからの出力を指定する水平走査シフトレジスタ40によって構成される。また、各列選択トランジスタM41からの出力信号を受ける出力バスL41には、アンプ41aが接続されている。

【0020】なお、図2では、アンプ/ノイズキャンセル回路30が1つの機能ブロックとして示されているが、実際には画素回路10aが配置された列ごとに1つずつ配置されている。また、図2では、画素部10において4行4列の画素回路10aが配列された様子を示しているが、実際にはこれより多くの画素回路10aが配列されていることとする。

【0021】各画素回路10aは、フォトダイオードまたはフォトゲート等によってなる光電変換素子D11を具備し、また、例えばNチャネルMOSFETによりそれぞれ形成されるリセットトランジスタM11、増幅用トランジスタM12、および行選択トランジスタM13が配置されたAPS (Active Pixel Sensor) 構成を有している。

【0022】光電変換素子D11のアノード側は接地され、カソード側はリセットトランジスタM11のソース電極、および増幅用トランジスタM12のゲート電極に接続されている。また、増幅用トランジスタM12のソース電極は、行選択トランジスタM13のドレイン電極に接続されている。

【0023】垂直走査シフトレジスタ/電圧制御回路20からは、光電変換素子D11をリセットするためのリセット信号線L11と、行方向の画素回路10aを選択するための行選択信号線L12が、各行に対して水平方向に配線されている。リセット信号線L11は、リセットトランジスタM11のゲート電極に接続されて、リセット信号を供給する。また、行選択信号線L12は、行選択トランジスタM13のゲート電極に接続されて、行選択信号を供給する。リセットトランジスタM11のドレイン電極、および増幅用トランジスタM12のドレイン電極は、ともにリセット電圧供給線L13に接続されている。

【0024】行選択トランジスタM13のソース電極は、列方向の画素回路10aを選択するための列選択信号線L14に接続されている。各列の列選択信号線L14は、アンプ/ノイズキャンセル回路30を介して列選択トランジスタM41のドレイン電極に接続されている。

【0025】各列選択トランジスタM41のソース電極は、出力バスL41に接続されている。また、各列選択トランジスタM41のゲート電極には、水平走査シフトレジスタ40から列選択信号が所定のタイミングで順次入力される。これにより、アンプ/ノイズキャンセル回

路30において増幅およびノイズ低減処理が施された画像信号が、出力バスL41に順次出力され、アンプ41aを介して外部のシステムに送出される。

【0026】次に、図1は、単一の画素回路10aを拡大して示した図である。なお、この図1では、画素回路10aとともに、リセットトランジスタM11のゲート電極にリセット信号RSTを供給する電圧制御回路20aも示している。

【0027】ここで、図1を用いて、画素回路10aの基本的な動作について説明する。まず、電圧制御回路20aより、リセット信号線L11を通じてリセット信号RSTが供給され、リセットトランジスタM11が所定のタイミングでオンになると、光電変換素子D11が初期電圧としてリセット電位VRに充電される。次いで、リセット信号RSTがオフにされると、外部からの入射光に応じて光電変換素子D11に電荷が蓄積され、これに伴い、光電変換素子D11のカソード側の電位が低下する。増幅用トランジスタM12はソースフォロアアンプとして機能し、光電変換素子D11のカソード側の電位を増幅する。

【0028】このように信号電荷の蓄積が開始され、所定時間の経過後に行選択信号線L12より行選択信号SLCTが、行選択トランジスタM13のゲート電極に入力されると、増幅用トランジスタM12の出力電圧が、画像信号として列選択信号線L14に出力される。この後、リセット信号RSTの入力によりリセットトランジスタM11がオン状態に変わり、光電変換素子D11に蓄積された信号電荷がリセットされるところで、このような構成の画素回路10aでは、リセット信号RSTが入力されている間にkTC雑音が発生し、光電変換素子D11における蓄積電荷に応じた信号電圧にkTC雑音の成分が重畳する。このkTC雑音は、 $\sqrt{kTC} = (\frac{k}{T} \cdot C)^{1/2}$ で表されるランダムな熱雑音である。ここで、kはボルツマン定数、Tは絶対温度、Cは光電変換素子D11の全容量である。

【0029】本発明のCMOSイメージセンサ1では、このkTC雑音の高周波成分を低減するために、リセットトランジスタM11のゲート電極に供給するリセット信号RSTの電圧を、電圧制御回路20aにより制御する。リセット信号RSTの電圧を制御することにより、リセットトランジスタM11のオン抵抗が変化する。ここで、画素回路10aの回路構成において、リセットトランジスタM11の有するオン抵抗と、光電変換素子D11のカソード側に生じる寄生容量とにより、信号電圧に対するローパスフィルタが構成されていることから、リセット時におけるリセットトランジスタM11のオン抵抗を変化させることにより、このローパスフィルタのカットオフ周波数を制御することが可能となる。従って、リセット信号RSTの電圧を制御することにより、任意の周波数以上のkTC雑音成分を低減することがで

きる。

【0030】次に、図3は、電圧制御回路20aより出力されるリセット信号RSTのパルス形状例を示す図である。図3において、電圧制御回路20aは、リセットトランジスタM11のゲート電極に対して、タイミングT301からタイミングT303までの間、リセット信号RSTを出力する。従って、タイミングT301～T303までが、リセットトランジスタM11がオン状態となり、光電変換素子D11における蓄積電荷がリセットされるリセット期間となる。

【0031】電圧制御回路20aは、このリセット期間を2分割して、リセット信号の電圧制御を行う。まずタイミングT301において、電圧制御回路20aは出力電圧を電源電圧VDDとする。これにより、リセットトランジスタM11はオン状態となるが、このとき、電源電圧VDDによってリセットトランジスタM11のオン抵抗ができるだけ低い状態とすることで、光電変換素子D11における蓄積電荷を確実にリセットする。

【0032】次に、所定時間後のタイミングT302において、電圧制御回路20aは、上記のローパスフィルタのカットオフ周波数を制御するための制御電圧Vcontを出力する。この制御電圧Vcontは、リセットトランジスタM11の有するしきい値電圧以上とされ、通常、図3に示すように電源電圧VDDより低い電圧となる。このように、リセットトランジスタM11のゲート電位が低下することによって、リセットトランジスタM11のオン抵抗が増加して、ローパスフィルタのカットオフ周波数が低下する。従って、制御電圧Vcontの大きさにより、ローパスフィルタのカットオフ周波数を任意に設定することが可能となり、この期間において、カットオフ周波数以上のkTC雑音の成分が低減される。

【0033】次に、タイミングT303において、制御電圧Vcontの出力が停止されて出力電圧がGND電位となり、光電変換素子D11における積分が開始される。以上のように、リセット信号RSTの電圧を制御電圧Vcontに制御することにより、kTC雑音の低減が可能な周波数の下限の値を任意に設定することが可能となる。また、この制御電圧Vcontの出力に先立って、電源電圧VDDを出力することにより、光電変換素子D11に対するリセットを確実に行うことが可能となる。

【0034】次に、電圧制御回路20aの具体的な回路構成の例について説明する。図4は、電圧制御回路20aの第1の回路構成例を示す図である。なお、図4では参考のため、上述した画素回路10aの回路構成も同時に示している。

【0035】図4に示す電圧制御回路21aは、PチャネルMOSトランジスタ（以下、PMOSトランジスタと略称する）M21およびNチャネルMOSトランジスタ

タ（以下、NMOSトランジスタと略称する）M22によって構成されるCMOSインバータ回路と、これらの各トランジスタの間に挿入されたブルーミング制御用トランジスタM23と、リセット電圧供給線L13との接続を調節するための回路接続用トランジスタM24によって構成される。なお、この例では、ブルーミング制御用トランジスタM23および回路接続用トランジスタM24としてNチャネルMOSトランジスタを使用しているが、ともにPチャネルMOSトランジスタを使用してもよい。

【0036】PMOSトランジスタM21のソース電極には電源電圧VDDが供給され、NMOSトランジスタM22のソース電極は接地されている。PMOSトランジスタM21およびNMOSトランジスタM22のゲート電極には、リセット制御信号Vrs21およびVrs22がそれぞれ入力される。また、ブルーミング制御用トランジスタM23のドレイン電極は、PMOSトランジスタM21のドレイン電極およびリセット信号線L11に接続され、ソース電極は、NMOSトランジスタM22のソース電極に接続されている。さらにブルーミング制御用トランジスタM23のゲート電極は、ドレイン電極と共通接続されている。

【0037】また、回路接続用トランジスタM24のドレイン電極は、リセット電圧供給線L13に接続され、ソース電極は、NMOSトランジスタM22とブルーミング制御用トランジスタM23との接続点に接続されている。さらに、ゲート電極には、回路接続信号SW24が入力される。

【0038】次に、この電圧制御回路21aの動作を、画素回路10aの動作と関連させて説明する。まず、リセット制御信号Vrs21がローレベル、リセット制御信号Vrs22がローレベル、回路接続信号SW24がローレベルになると、PMOSトランジスタM21がオン状態となって、リセット信号RSTとして電源電圧VDDが出力される。これによりリセット期間が開始され、光電変換素子D11のカソード側がリセット電圧VRによりリセットされる。

【0039】所定時間の経過後、リセット制御信号Vrs21および回路接続信号SW24がともにハイレベルに変化すると、PMOSトランジスタM21がオフ状態になるとともに、回路接続用トランジスタM24がオン状態となる。この状態がリセット信号RSTとして制御電圧Vcontが出力されている状態となり、リセット電圧VRを基準として、ブルーミング制御用トランジスタM23の有するしきい値電圧Vthが出力される。これにより、リセットトランジスタM11のオン抵抗が上昇し、リセットトランジスタM11および光電変換素子D11により構成されるローパスフィルタのカットオフ周波数が設定される。

【0040】さらに、所定時間の経過後、リセット制御

信号Vrs22がハイレベル、回路接続信号SW24がローレベルに変化して、NMOSトランジスタM22がオン状態に、また回路用接続トランジスタM24がオフ状態となる。このとき、リセット期間の終了となる。この状態では、リセット信号RSTノードは、GND電位を基準として、ブルーミング制御用トランジスタM23のしきい値電圧Vth付近の電位となり、リセットトランジスタM11が完全にオフ状態とならない。このため、光電変換素子D11に対して強い光が入射した場合に、発生される余剰電荷を、リセットトランジスタM11を通してリセット電圧供給線L13側に逃がすことができ、ブルーミング現象が抑制される。

【0041】なお、ブルーミング現象を抑制している期間においては、リセットトランジスタM11のゲート電極に電源電圧VDDを用いて定電流を流し込み、リセット信号RSTノードを、ブルーミング制御用トランジスタM23のしきい値電圧Vthによって確実にクランプさせるようにしてもよい。

【0042】ところで、この図4に示した電圧制御回路21aでは、ローパスフィルタのカットオフ周波数を設定するための制御電圧Vcontが、ブルーミング制御用トランジスタM23の有するしきい値電圧Vthに応じて決定される。このブルーミング制御用トランジスタM23については、リセットトランジスタM11とブルーミング制御用トランジスタM23の各しきい値電圧の比を考慮し、所望のカットオフ周波数に制御可能なものをこのしきい値電圧の比に応じて選択することが望ましい。これにより、リセットトランジスタM11とブルーミング制御用トランジスタM23との間のプロセスばらつきによって、リセットトランジスタM11のオン抵抗に対する制御に誤差が生じることが少なくなり、カットオフ周波数を設定値に対してより確実に近づけることが可能となる。

【0043】なお、ブルーミング制御用トランジスタM23としては、例えば、リセットトランジスタM11と比較して10倍等といったしきい値電圧Vthの高いものが選択されることが多い。

【0044】以上の電圧制御回路21aでは、リセット期間において、リセット信号RSTの電位を所望の制御電圧Vcontに確実に制御することができるとともに、光電変換素子D11による積分期間において、ブルーミング現象の発生を抑制することが可能となる。

【0045】次に、上記の構成に加えて、画素回路10aを構成する素子の一部を用いた差動増幅器をさらに設けることにより、全周波数帯域にわたってkTC雑音を低減することが可能な回路構成例について説明する。この差動増幅器は、画素回路10a内の構成要素以外は、アンプ／ノイズキャンセル回路30の内部に形成される。

【0046】図5は、本発明に適用可能な差動増幅器の

回路構成例を示す図である。なお、図5では、上記の図1、図2および図4で示したCMOSイメージセンサ1と対応する構成要素には同じ符号を付して示しており、その説明は省略する。

【0047】図5に示す差動増幅器30aを構成する素子のうち、画素回路10aの内部に形成される素子以外は、アンプ／ノイズキャンセル回路30の内部において、列ごとに形成される。なお、図5では説明を簡略化するために、画素回路10aについては列方向に並設されたうちの1画素分のみを示している。

【0048】図5に示すように、kTC雑音を低減するための差動増幅器30aは、画素回路10a内の増幅用トランジスタM12および行選択トランジスタM13をその構成要素の一部として具備している。行選択トランジスタM13のソース電極は、列選択信号線L14を介して、この行選択トランジスタM13とほぼ同一特性を有する回路切り換え用トランジスタM31のソース電極に接続されている。また、回路切り換え用トランジスタM31のゲート電極には、回路切り換え信号SW30が入力される。

【0049】行選択トランジスタM13と回路切り換え用トランジスタM31との接続点は、定電流源301に接続されているとともに、外部に対する出力端子となっている。

【0050】回路切り換え用トランジスタM31のドレイン電極は、増幅用トランジスタM12とほぼ同一特性を有する第1差動トランジスタM32のソース電極に接続されている。この第1差動トランジスタM32のゲート電極には、リセット信号RSTの入力に同期してリセット電圧VRが印加される。また、第1差動トランジスタM32のドレイン電極は、例えばPチャネルMOS型であるトランジスタM33のドレイン電極に接続されている。さらに、このトランジスタM33のソース電極には、電源電圧VDDが印加されている。

【0051】一方、画素回路10a内のリセットトランジスタM11および増幅用トランジスタM12の各ドレイン電極は、例えばPチャネルMOS型であるトランジスタM34のドレイン電極に接続されている。このトランジスタM34のソース電極には、電源電圧VDDが印加されている。なお、リセットトランジスタM11および増幅用トランジスタM12の各ドレイン電極と、トランジスタM34とを接続する配線は、画素回路10aの形成領域の外部で、列選択信号線L14に沿って形成される。

【0052】トランジスタM33およびM34の各ゲート電極は、共通接続されている。また、第1差動トランジスタM32とトランジスタM33との接続点と、共通接続されたトランジスタM33およびM34の各ゲート電極との間には、回路切り換え用トランジスタM35が設けられている。この回路切り換え用トランジスタM3

5のゲート電極には、回路切り換え信号SW30が入力される。また、トランジスタM33およびM34のゲート電極は、さらに、回路切り換え用トランジスタM36のドレイン電極に接続されている。この回路切り換え用トランジスタM36のソース電極は接地され、ゲート電極には、上記の回路切り換え信号SW30と逆極性の回路切り換え信号SWX30が入力される。

【0053】このような構成において、行選択トランジスタM13および回路切り換え用トランジスタM35とともにオン状態とし、回路切り換え用トランジスタM36をオフ状態とすることにより、ゲート電極が共通接続されたトランジスタM33およびM34は、カレントミラー回路を構成する。従って、行選択トランジスタM13、回路切り換え用トランジスタM31およびM35をすべてオン状態とし、回路切り換え用トランジスタM36をオフ状態とした場合に、画素回路10a内の増幅用トランジスタM12を、第1差動トランジスタM32との差動対をなす第2差動トランジスタと見ることにより、付加抵抗としてカレントミラー回路を具備する差動増幅器30aが動作することになる。

【0054】なお、上記の差動増幅器30aの出力側には、リセットオフ時に発生する雑音を除去するための相関二重サンプリング (Correlated Double Sampling: 以下、CDSと略称する) 回路30bがさらに設けられている。このCDS回路30bの内部構成については、後の図6において説明する。

【0055】次に、上記の差動増幅器30aを用いてkTC雑音を低減させる動作について説明する。光電変換素子D11のリセット期間が終了して、リセット信号RSTの入力が非活性レベルにある状態では、回路切り換え用トランジスタM31およびM35はオフ状態となり、また回路切り換え用トランジスタM36はオン状態となる。これにより、差動増幅器30aの主要部が画素回路10a内の素子と電気的に分離され、差動増幅器30aは機能していない状態となる。このとき、光電変換素子D11では、入射光に応じた信号蓄積動作が行われる。

【0056】次に、所定時間後に回路切り換え用トランジスタM36をオフ状態にするとともに、回路切り換え用トランジスタM31およびM35をオン状態とする。また、このとき、行選択トランジスタM13もオン状態となっている。これにより、差動増幅器30aの動作が開始される。この状態で、リセットトランジスタM11のゲート電極にリセット信号RSTが入力されるとともに、第1差動トランジスタM32のゲート電極にリセット電圧VRが印加される。

【0057】差動増幅器30aは、リセット信号RSTがオン状態となっている間、カレントミラー回路の出力側であるトランジスタM34の出力電圧を制御して、光電変換素子D11のカソード側の電位を常にリセット電

圧VRに維持する。このように、差動増幅器30aはリセット期間において増幅率が1のオペアンプとして動作する。このような動作により、差動増幅器30aは、リセット期間において発生するkTC雑音を常に一定のレベルまで低減させる。

【0058】なお、上記の差動増幅器30aの回路構成によれば、その回路主要部が画素回路10aの形成領域の外部に配置される。また、差動増幅器30aの動作時においては、画素回路10a内の素子を回路構成の一部として回路を構成するようになっている。従って、画素の開口率を低下させることなく、kTC雑音を低減することができる。

【0059】ところで、この差動増幅器30aでは、動作する周波数帯域が限られており、高周波の成分についてはkTC雑音を低減する能力を持たない。そのため、電圧制御回路20aによるリセット信号RSTに対する電圧制御により、画素回路10a内のリセットトランジスタM11のオン抵抗と光電変換素子D11の寄生容量とによって構成されるローパスフィルタを機能させて、kTC雑音の高周波成分を低減する。このとき、電圧制御回路20aは、ローパスフィルタのカットオフ周波数が、差動増幅器30aの動作する周波数帯域の上限の値以下となるように、リセット信号RSTの電圧を制御する。これによって、広い周波数帯域にわたって発生するkTC雑音を低減することが可能となる。

【0060】また、差動増幅器30aの出力側にCDS回路30bを設けることにより、リセット信号RSTのオフ時においてリセットトランジスタM11で発生するリセット雑音を除去することが可能となる。このリセット雑音は、リセットトランジスタM11の有するしきい値電圧のばらつきにより、各画素回路10aで一定のレベルとならない。このため、CDS回路30bにより、まず画素回路10aからのリセット雑音が重畳された画像信号をサンプリングした後、リセット時の出力電圧を再びサンプリングしてその差信号を得ることにより、リセット雑音を除去する。

【0061】図6は、本発明に適用可能なCDS回路30bの回路構成例を示す図である。図6では例として、1画素分の画素回路10a、および1列分の差動増幅器30aの一部とともに、この差動増幅器30aに対応する1列分のCDS回路30bの構成を示している。

【0062】図6に示すように、CDS回路30bでは、差動増幅器30aから出力された画像信号の入力を制御するサンプルホールド用スイッチ302が設けられている。サンプルホールド用スイッチ302の出力側には、信号を保持するためのサンプルホールド用容量C31が接続されている。サンプルホールド用容量C31の他端には、基準電圧VREFを供給する基準電圧源303が接続されている。

【0063】また、サンプルホールド用スイッチ302

とサンプルホールド用容量C31との接続点は、アンプ304の入力端子に接続されている。アンプ304の出力端子には、CDS容量C32が接続され、CDS容量C32の他端はアンプ305の入力端子に接続されている。

【0064】また、サンプルホールド用容量C31と基準電圧源303との接続点は、クランプスイッチ306を介して、CDS容量C32とアンプ305との接続点に接続されている。クランプスイッチ306の開閉により、CDS容量C32のアンプ305側の端子の電位を、基準電圧源303による基準電圧VREFから切り離したり、あるいは基準電圧VREFに固定することができるようになっている。また、アンプ305の出力端子は、列選択トランジスタM41を介して出力バスL41に接続されている。

【0065】次に、このCDS回路30bの動作を、画素回路10aおよび差動増幅器30aにおける動作と関連させて説明する。まず、差動増幅器30a内の行選択トランジスタM13、回路切り換え用トランジスタM31およびM35をオン状態とし、また回路切り換え用トランジスタM36をオフ状態として、差動増幅器30aによるkTC雑音の低減動作が開始される。そして、これと同時にあるいはその後に、行選択トランジスタM13をオン状態に維持したまま、リセットトランジスタM11をオン状態にする。これにより、光電変換素子D11をリセット電圧VRにリセットするとともに、このリセット電圧VRを列選択信号線L14に出力する。以上の動作は、水平ブランキング期間において行われる。

【0066】次に、リセット期間が終了すると、差動増幅器30aと画素回路10aとが電気的に分離されるとともに、光電変換素子D11による積分が開始される。このとき、光電変換素子D11によって蓄積された電荷量に応じた増幅用トランジスタM12の電圧変動が、画像信号の電圧として列選択信号線L14に出力される。

【0067】その後、クランプスイッチ306およびサンプルホールド用スイッチ302をオン状態にする。これにより、サンプルホールド用容量C31とアンプ304との接続点に画像信号の電圧が印加され、サンプルホールド用容量C31とCDS容量C32の双方に、積分時間に応じた画像信号が電荷として蓄積される。このとき蓄積された信号には、リセット雑音成分が重畳されている。一定時間の経過後に、クランプスイッチ306およびサンプルホールド用スイッチ302をオフにして、サンプリングした画像信号をホールドする。

【0068】次に、リセット雑音成分のみをサンプルホールド用容量C31に蓄積するために、差動増幅器30aの動作を再び開始させるとともに、これと同時にまたはこの直後に再度リセットトランジスタM11をオン状態にする。これにより、光電変換素子D11はリセット電圧VRにリセットされ、列選択信号線L14にはリセッ

ト電圧 V_R が出力される。このとき、サンプルホールド用スイッチ302をオンにした後、リセット信号 RST をオフにして、さらに所定時間後にサンプルホールド用スイッチ302もオフにする。

【0069】この動作により、CDS容量C32とアンプ305との接続点には、基準電圧 V_{REF} と、リセット雑音成分のみが除去された画像信号との差電圧が現れる。従って、その後に水平走査シフトレジスタ40からの列選択信号に同期して、列選択トランジスタM41をオン状態にし、クランプスイッチ306をオンにすることにより、リセット雑音成分が除去された画像信号が出力バスL41に転送される。

【0070】次に、上記の差動増幅器30aが設けられた場合のCMOSイメージセンサ回路に適用可能な電圧制御回路20aの回路構成例について説明する。図7は、本発明に適用可能な電圧制御回路20aの第2の回路構成例を示す図である。

【0071】図7では、図を簡略化するために、差動増幅器30aの回路構成の詳細を省略して、1つのブロックとして示している。また、図4に対応する構成要素には同じ符号を付して示しており、その説明は省略する。また、差動増幅器30a内の第1差動トランジスタM32のゲート電極には、リセット電圧源307よりリセット電圧 V_R が印加されるものとしている。

【0072】この図7に示す電圧制御回路22aは、差動増幅器30aが構成されない場合の回路構成例として図4に示した電圧制御回路21aと、基本的に同様の回路構成を有している。すなわち、図7に示す電圧制御回路22aは、CMOSインバータ回路を構成するPMOSTランジスタM21およびNMOSTランジスタM22の間に、ブルーミング制御用トランジスタM23が挿入された構成を有し、共通接続されたブルーミング制御用トランジスタM23のドレイン電極およびゲート電極に、リセット信号 RST を出力するリセット信号線L11が接続されている。

【0073】また、回路接続用トランジスタM24は、NMOSTランジスタM22とブルーミング制御用トランジスタM23との接続点と、リセット電圧源307の出力側との間に設けられる。回路接続用トランジスタM24は、入力される回路接続信号 $SW24$ に応じて、これらの間の接続を調節する機能を果たす。

【0074】この電圧制御回路22aは、図4の電圧制御回路21aと同様に動作する。すなわち、まず、リセット制御信号 V_{rs21} がローレベル、リセット制御信号 V_{rs22} がローレベル、回路接続信号 $SW24$ がローレベルになると、PMOSTランジスタM21がオン状態となって、リセット信号 RST として電源電圧 V_D が出力される。これによりリセット期間が開始され、光電変換素子D11のカソード側がリセット電圧 V_R によりリセットされる。

【0075】所定時間の経過後、リセット制御信号 V_{rs21} および回路接続信号 $SW24$ がともにハイレベルに変化すると、PMOSTランジスタM21がオフ状態、回路接続用トランジスタM24がオン状態となって、リセット電圧 V_R を基準として、ブルーミング制御用トランジスタM23の有するしきい値電圧 V_{th} が出力される。この状態が、リセットトランジスタM11および光電変換素子D11により構成されるローパスフィルタのカットオフ周波数を設定するための制御電圧 V_{cont} の出力状態となる。

【0076】さらに、所定時間の経過後、リセット制御信号 V_{rs22} がハイレベル、回路接続信号 $SW24$ がローレベルに変化して、NMOSTランジスタM22がオン状態、回路用接続トランジスタM24がオフ状態となって、リセット期間が終了する。この状態では、リセット信号 RST ノードは、GND電位を基準として、ブルーミング制御用トランジスタM23のしきい値電圧 V_{th} 付近の電位となり、ブルーミング現象を抑制するように動作される。

【0077】以上の電圧制御回路22aでは、ブルーミング制御用トランジスタM23の有するしきい値電圧 V_{th} に応じて、リセット信号 RST として出力する制御電圧 V_{cont} の値を制御することにより、リセットトランジスタM11および光電変換素子D11によるローパスフィルタのカットオフ周波数を任意に設定することが可能となる。この際に、カットオフ周波数が、差動増幅器30aの動作する周波数帯域の上限以下の値となるように、ブルーミング制御用トランジスタM23を選択することにより、広い周波数帯域にわたってkTC雑音を漏れなく低減することが可能となる。

【0078】また、図4の場合と同様に、ブルーミング制御用トランジスタM23の選択の際には、プロセスばらつきによるカットオフ周波数の誤差の発生を防止するために、リセットトランジスタM11とブルーミング制御用トランジスタM23の各しきい値電圧の比に応じて選択することが望ましい。

【0079】ところで、上述したように、画素回路10a内の素子を共通に使用して動作する差動増幅器30aが設けられた場合には、電圧制御回路20aにより、リセットトランジスタM11および光電変換素子D11によるローパスフィルタのカットオフ周波数を、差動増幅器30aの動作する周波数帯域の上限以下に設定することにより、広帯域なkTC雑音の低減を可能としている。しかし、差動増幅器30aの動作する周波数帯域の上限付近では、kTC雑音に対して必ずしも安定的な低減効果が得られない場合がある。

【0080】これに対して、差動増幅器30aに対して付与するバイアス電流を増加させて、差動増幅器30aの動作可能な周波数帯域の上限を上昇させることで、この上限付近の周波数帯域でもkTC雑音を安定的に低減

することが可能となる。以下、このようにバイアス電流を増加させることが可能な回路構成例について説明する。

【0081】図8は、本発明に適用可能なバイアス電流発生回路の回路構成例を示す図である。なお、図8では、図7と同様に図を簡略化するために、差動増幅器30aの回路構成の詳細を省略して1つのブロックとして示している。

【0082】図8に示すバイアス電流発生回路30cは、図5に示した差動増幅器30aの回路構成上における定電流源301に対応し、アンプ／ノイズキャンセル回路30の内部に配置される。このバイアス電流発生回路30cは、定電流供給用として大きさの異なるトランジスタM37およびM38を具備している。トランジスタM38は、トランジスタM37と比較して例えば10倍といった電流増幅率を有している。

【0083】各トランジスタM37およびM38のドレイン電極は、列選択信号線L14に接続されている。また、トランジスタM37のゲート電極には、バイアス電流発生用の基準電圧VBが供給される。一方、トランジスタM38のゲート電極は、回路切り換えスイッチ308をオン状態とすることにより基準電圧VBが印加され、回路切り換えスイッチ309をオン状態とすることにより接地される。

【0084】回路切り換えスイッチ308は、差動増幅器30a内の回路接続用トランジスタM31およびM35に入力される回路接続信号SW30に同期して開閉される。また、回路切り換えスイッチ309は、この回路接続信号SW30の逆極性で開閉される。従って、このバイアス電流発生回路30cでは、差動増幅器30aの動作中にのみトランジスタM38がオン状態となり、差動増幅器30aに対するバイアス電流を増加させる。

【0085】これにより、差動増幅器30aの動作可能な周波数帯域が広げられ、この周波数帯域の上限が、電圧制御回路20aにより設定されたローパスフィルタのカットオフ周波数を常に十分大きく上回る状態となる。従って、低減可能なkTC雑音の周波数帯域に漏れが生じることがなくなり、kTC雑音の低減を広帯域にわたって安定的に行うことが可能となる。

【0086】また、回路切り換えスイッチ308および309を設けたことにより、差動増幅器30aの動作停止時にはトランジスタM38の動作も停止され、大きなバイアス電流が発生されないため、消費電力が抑制される。

【0087】なお、上記の差動増幅器30aの回路構成例では、第1差動トランジスタM32として、画素回路10a内の増幅用トランジスタM12と同じ特性を有するものを用いたが、これらの間のトランジスタ比をずらし、第1差動トランジスタM32としてしきい値電圧の大きなものを使用してもよい。これにより、リセットト

ランジスタM11のドレイン電極側の電位が高まり、リセットトランジスタM11のオン抵抗が高められることから、リセットトランジスタM11および光電変換素子D11によるローパスフィルタのカットオフ周波数をより低下させることが可能となり、電圧制御回路20aによるカットオフ周波数の設定の自由度が増す。

【0088】（付記1）マトリクス状に配置された各画素領域において感知された画像信号をX-Yアドレスの指定に基づいて順に出力することにより画像を撮像するCMOSイメージセンサにおいて、入射光を光電変換する光電変換素子と、前記光電変換素子のカソード電極を初期電圧にリセットするリセットトランジスタと、前記光電変換素子に蓄積された電荷を電圧に変換する増幅用トランジスタと、行方向に並列された前記画素領域からの信号出力を選択するための行選択信号に基づいて、前記増幅用トランジスタの出力電圧を1画素分の画像信号として出力する行選択トランジスタとを具備する画素回路と、前記光電変換素子に対するリセット期間中に、前記リセットトランジスタのゲート電位を制御して、前記リセットトランジスタのオン抵抗と前記光電変換素子のカソードに生じる寄生容量とで構成されるローパスフィルタのカットオフ周波数を制御する電圧制御回路と、を有することを特徴とするCMOSイメージセンサ。

【0089】（付記2）前記電圧制御回路は、前記リセット期間中において、前記リセットトランジスタの前記ゲート電位を電源電位に設定して前記光電変換素子のカソード電極を前記初期電圧にリセットした後、前記ゲート電位を前記カットオフ周波数を制御するための周波数制御電位に設定することを特徴とする付記1記載のCMOSイメージセンサ。

【0090】（付記3）前記電圧制御回路は、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタを具備して前記リセットトランジスタのゲート電極を駆動するインバータ回路と、前記PチャネルMOSトランジスタのドレイン電極と、前記NチャネルMOSトランジスタのドレイン電極との間に設けられるブルーミング制御用トランジスタと、を有することを特徴とする付記1記載のCMOSイメージセンサ。

【0091】（付記4）前記ブルーミング制御用トランジスタは、ゲート電極とドレイン電極とが前記リセットトランジスタのゲート電極と接続されたMOSトランジスタであることを特徴とする付記3記載のCMOSイメージセンサ。

【0092】（付記5）前記カットオフ周波数の制御時において、前記ブルーミング制御用トランジスタのドレイン電極に接続された前記PチャネルMOSトランジスタまたは前記NチャネルMOSトランジスタがオン状態とされ、前記ブルーミング制御用トランジスタのソース電極に接続された前記NチャネルMOSトランジスタまたは前記PチャネルMOSトランジスタがオフ状態と

されるとともに、前記ブルーミング制御用トランジスタのソース電極に前記初期電圧が供給されることを特徴とする付記4記載のCMOSイメージセンサ。

【0093】（付記6） 前記電圧制御回路は、前記リセットトランジスタの有するしきい値電圧と、前記ブルーミング制御用トランジスタの有するしきい値電圧との比に応じて、前記カットオフ周波数の制御時における前記リセットトランジスタのゲート電位を設定することを特徴とする付記4記載のCMOSイメージセンサ。

【0094】（付記7） 前記電圧制御回路は、前記リセット期間以外の期間において、前記リセットトランジスタが完全にオフ状態とならないように前記リセットトランジスタの前記ゲート電位を制御することを特徴とする付記1記載のCMOSイメージセンサ。

【0095】（付記8） 前記リセット期間の開始時またはその直前から、終了時までの間、前記増幅用トランジスタおよび前記行選択トランジスタを回路構成の一部として用いることにより動作する差動増幅器をさらに有することを特徴とする付記1記載のCMOSイメージセンサ。

【0096】（付記9） 前記電圧制御回路は、前記カットオフ周波数が、前記差動増幅器の動作する周波数帯域の上限値以下となるように、前記リセットトランジスタのゲート電位を制御することを特徴とする付記8記載のCMOSイメージセンサ。

【0097】（付記10） 前記差動増幅器は、前記差動増幅器の動作期間中において前記初期電圧が供給される第1の差動トランジスタを具備し、前記増幅用トランジスタは、前記動作期間中において、前記第1の差動トランジスタと対をなす第2の差動トランジスタとして用いられることを特徴とする付記8記載のCMOSイメージセンサ。

【0098】（付記11） 前記差動増幅器は、前記動作期間中において、前記増幅用トランジスタおよび前記行選択トランジスタと前記第1の差動トランジスタとを電気的に接続し、前記リセット期間以外において、前記増幅用トランジスタおよび前記行選択トランジスタと前記第1の差動トランジスタとを電気的に分離する回路切り換え用トランジスタを具備していることを特徴とする付記10記載のCMOSイメージセンサ。

【0099】（付記12） 前記差動増幅器において、前記第1の差動トランジスタの有するしきい値電圧は、前記増幅用トランジスタの有するしきい値電圧より高いことを特徴とする付記10記載のCMOSイメージセンサ。

【0100】（付記13） 前記差動増幅器の動作時において、前記差動増幅器に対するバイアス電流を増加させるバイアス制御回路をさらに有することを特徴とする付記8記載のCMOSイメージセンサ。

【0101】

【発明の効果】以上説明したように、本発明のCMOSイメージセンサでは、電圧制御回路が、光電変換素子のリセット期間中に、リセットトランジスタのゲート電位を制御して、リセットトランジスタの有するオン抵抗を変化させる。これによって、画素回路の内部において、リセットトランジスタのオン抵抗と光電変換素子のカソードに生じる寄生容量とにより構成されるローパスフィルタのカットオフ周波数が制御される。従って、画素回路から出力される画像信号から、任意の周波数以上の成分が遮断され、kTC雑音の高周波成分を低減することが可能となる。

【0102】また、例えば、増幅用トランジスタと行選択トランジスタを回路構成の一部として用いることにより動作する差動増幅器をさらに設けてもよい。この差動増幅器は、リセット期間の開始時またはその直前から、終了時までの間のみ動作して、所定の周波数以下のkTC雑音の成分を低減する。従って、上記のローパスフィルタの特性と合わせて、広帯域のkTC雑音を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明のCMOSイメージセンサが具備する単一の画素回路を示す拡大図である。

【図2】本発明のCMOSイメージセンサの全体構成を示す図である。

【図3】電圧制御回路より出力されるリセット信号のパルス形状例を示す図である。

【図4】本発明に適用可能な電圧制御回路の第1の回路構成例を示す図である。

【図5】本発明に適用可能な差動増幅器の回路構成例を示す図である。

【図6】本発明に適用可能なCDS回路の回路構成例を示す図である。

【図7】本発明に適用可能な電圧制御回路の第2の回路構成例を示す図である。

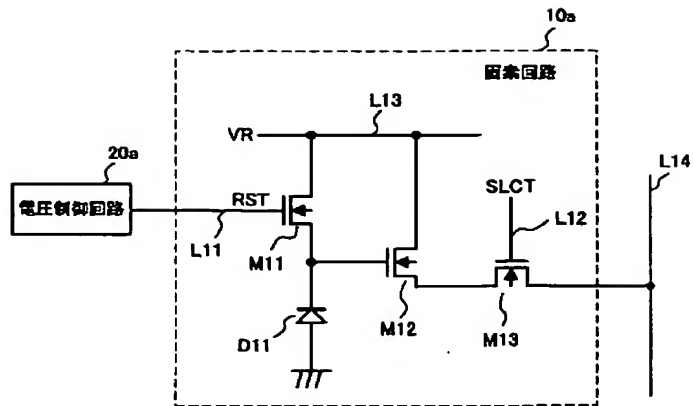
【図8】本発明に適用可能なバイアス電流発生回路の回路構成例を示す図である。

【図9】従来のCMOSイメージセンサにおける単一の画素回路とその周辺の回路構成例を示す図である。

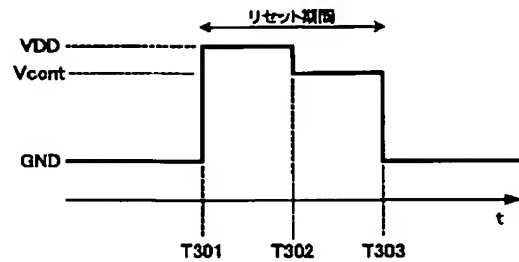
【符号の説明】

- 10a 画素回路
- 20a 電圧制御回路
- D11 光電変換素子
- M11 リセットトランジスタ
- M12 増幅用トランジスタ
- M13 行選択トランジスタ
- L11 リセット信号線
- L12 行選択信号線
- L13 リセット電圧供給線
- L14 列選択信号線

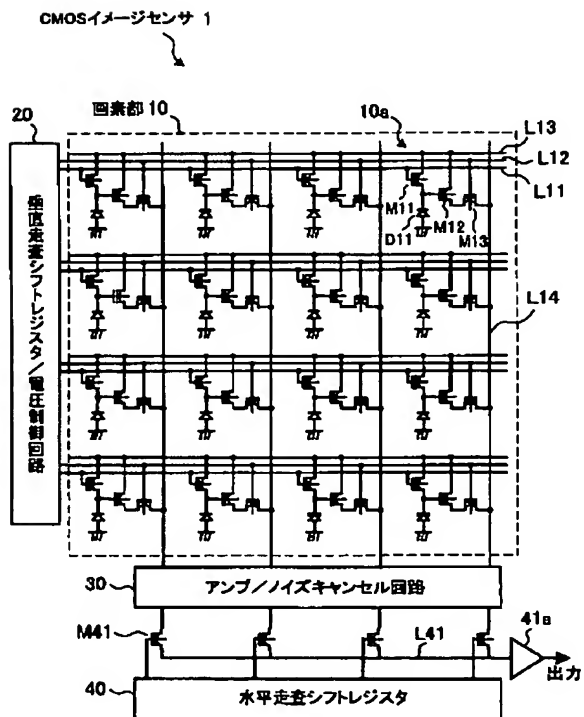
【図1】



【図3】



【図2】



The diagram illustrates a pixel circuit 10a. On the left, a voltage control circuit 20a is connected to a reset transistor M11 and a selection transistor M12. The reset transistor M11 is controlled by a reset signal RST and is connected to a node L11. The selection transistor M12 is controlled by a selection signal SLCT and is connected to a node L12. A diode D11 is connected to node L11 and ground. The node L12 is connected to a differential amplifier 30a. The differential amplifier 30a consists of a PMOS transistor M34 and an NMOS transistor M31. The PMOS transistor M34 is connected to VDD and its gate is controlled by a PMOS gate signal. The NMOS transistor M31 is connected to node L12 and its gate is controlled by an NMOS gate signal. The differential amplifier 30a also includes a PMOS transistor M35 and an NMOS transistor M36. The PMOS transistor M35 is connected to VDD and its gate is controlled by a PMOS gate signal. The NMOS transistor M36 is connected to node L12 and its gate is controlled by an NMOS gate signal. A load capacitor 301 is connected to node L12 and ground. The output of the differential amplifier 30a is connected to a CDS circuit 30b. The CDS circuit 30b is connected to node L14 and ground. The CDS circuit 30b also includes a PMOS transistor M32 and an NMOS transistor M33. The PMOS transistor M32 is connected to VDD and its gate is controlled by a PMOS gate signal. The NMOS transistor M33 is connected to node L14 and its gate is controlled by an NMOS gate signal. The CDS circuit 30b also includes a PMOS transistor M35 and an NMOS transistor M36. The PMOS transistor M35 is connected to VDD and its gate is controlled by a PMOS gate signal. The NMOS transistor M36 is connected to node L14 and its gate is controlled by an NMOS gate signal. The CDS circuit 30b also includes a PMOS transistor M32 and an NMOS transistor M33. The PMOS transistor M32 is connected to VDD and its gate is controlled by a PMOS gate signal. The NMOS transistor M33 is connected to node L14 and its gate is controlled by an NMOS gate signal.

The schematic diagram illustrates a pixel circuit. It begins with a reset circuit (20a) consisting of a transistor M11 and a diode D11, controlled by a reset signal RST. This is followed by a feedback loop (10a) containing transistors M12 and M13, and capacitors L11 and L12, controlled by a select signal SLCT. The output of the feedback loop is connected to a differential amplifier (30a), which is also connected to a reference voltage source (303) via a capacitor C31. A CDS circuit (30b) follows, including a capacitor C32, a transistor M41, and a switch 306, controlled by a clock signal. The final output is connected to a load L41.

フロントページの続き

Fターム(参考) 4M118 AA04 AA05 AB01 BA14 CA02
CA09 DB11 DD10 DD12 FA06
FA11 FA33 FA42
5C024 AX01 CX05 GX03 GX18 GY31
GY38 HX05 HX29 HX35 HX40